



Развитие инфраструктуры проектирования для отечественных технологий

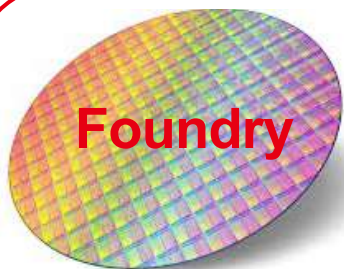
Евстигнеев Сергей Владимирович

июль 2026, Москва
демо-день ИЦК «Электроника и микроэлектроника»

 Для внешнего использования



Проблема foundry PDK и решение HM-Tex



Цель foundry PDK:
максимизация
количества
выпущенных пластин

Функционал PDK сфокусирован на tape-out кристалла

- Правила проектирования нацелены на возможность успешно произвести на фабрике нарисованную топологию
- Реализован функционал обязательных проверок (sign-off checks)

Маршрут проектирования в САПР настраивается пользователем

- Ручное копирование и редактирование файлов настроек
- Отдельная реализация цифрового и аналогового маршрутов САПР
- Обмен данных между САПР через формат GDS / OASIS

Множество разрозненных пакетов PDK с проблемами совместимости

- Множество пакетов с разными технологическими файлами
- Правила для разводки разные в технологической библиотеке и в LEF



Цель PDK HM-Tex:
импортозамещение и
достижение
технологического
суверенитета

Функционал PDK сфокусирован на то, чтобы заработало изделие

- Правила проектирования, как на чип, так и на блок
- Правила проектирования sign-off и правила надежного дизайна

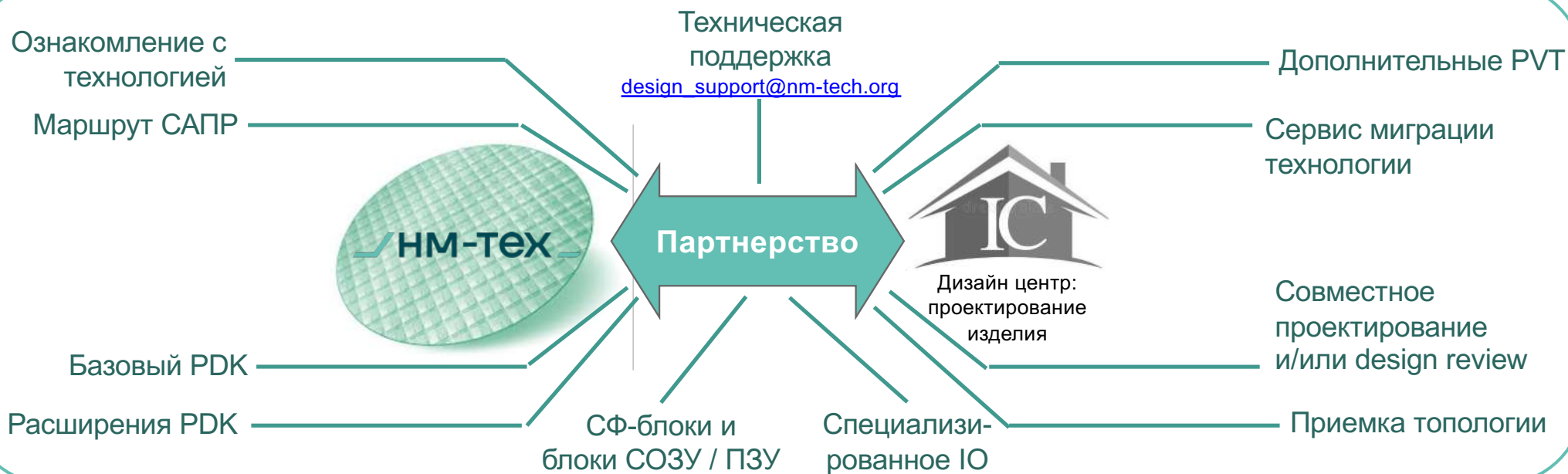
Через PDK реализован бесшовный маршрут САПР

- Реализован Digital Import/Export
- Макро настройки пользователя, в т.ч. через GUI
- Максимально используется база данных OpenAccess

Предоставляются валидированные между собой библиотека PDK и базовые IP

- Реализована верификация в САПР связки пакетов PDK по каждой технологической опции

Взаимодействие с заказчиком: модель партнерства

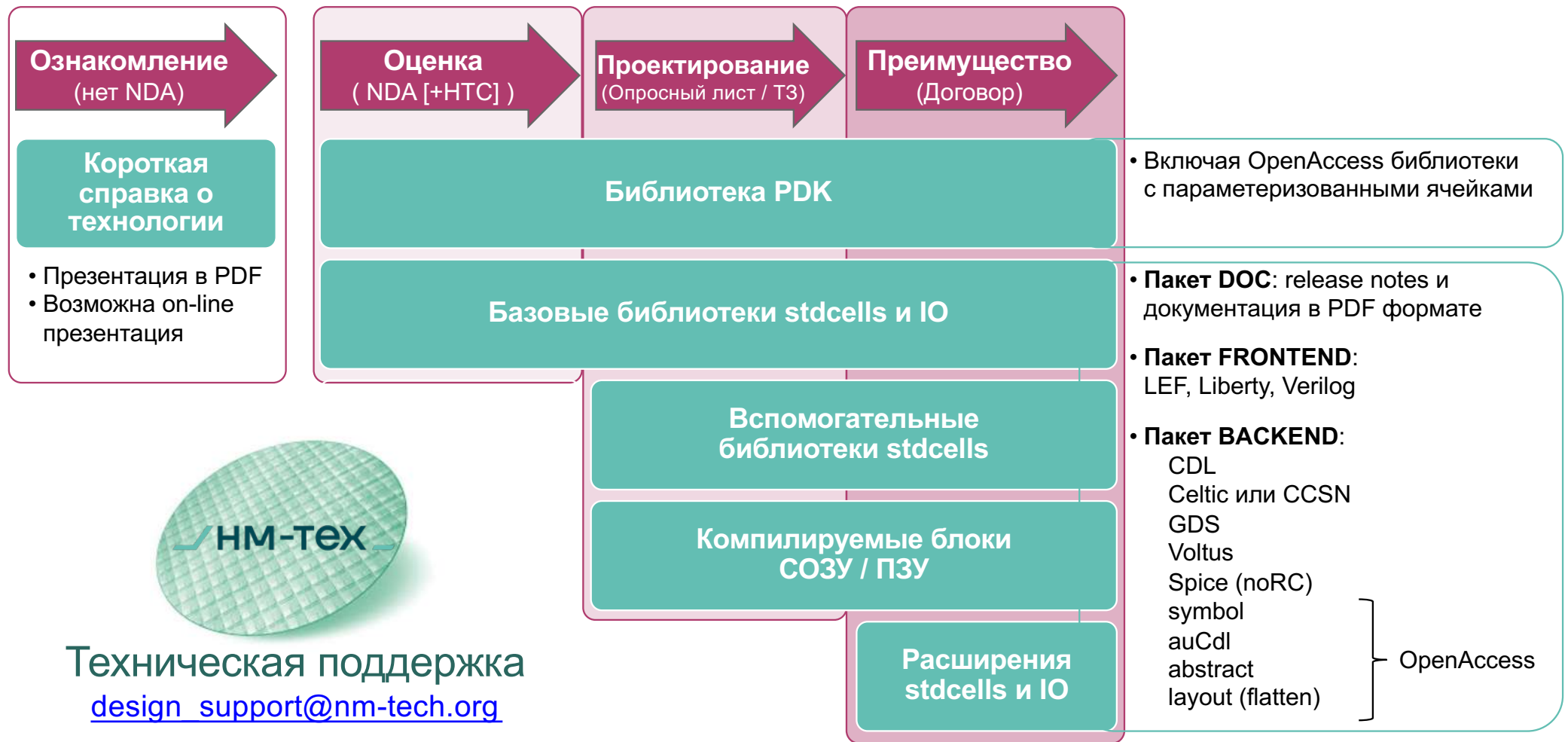


Состав комплектов PDK 250 и 130 нм для проектирования микросхем

PDK 250 нм:	Прибор	Характеристики
Транзисторы		
P- и N-МОП		2.5В, 3.3В или 2.5В, 5.0В
N-МОП с нулевым порогом		3.3В
Вертикальный NPN		Beta = 3.12 (для $W_e=3.2$ мкм)
Вертикальный PNP		Beta = 1.19 (для $W_e=3.2$ мкм)
Диоды		
N+ / P-подложка		BV = 9.0 В
P+ / N-карман		BV = 9.0 В
Резисторы		
N-well резистор		$R_s=450$ Ом/□
Поликремниевый P+ без силицида		$R_s= 295$ Ом/□
Поликремниевый P+ с силицидом		$R_s=7.6$ Ом/□
Диффузионный N+ без силицида		$R_s= 94$ Ом/□
Поликремниевый P+ без силицида		$R_s= 1K$ Ом/□ (высокоомный)
Конденсаторы		
Варактор N-МОП 2.5 В в N-кармане		$C_a = 6.5$ фФ/мкм ² при 2.5В
Варактор N-МОП 3.3 В в N-кармане		$C_a = 4.7$ фФ/мкм ² при 3.3В
MIM конденсатор		$C_a = 2$ фФ/мкм ²
MOM в разводочных металлах		C_a (max) = 0.9 фФ/мкм ²
Базовые IP		
Библиотеки стандартных ячеек		2.5В (11Т), 3.3В (11/15Т), 5В (17Т) - Многоразрядные триггеры - Преобразователи уровней
Библиотеки ячеек ввода-вывода		- GPIO 2.5-3.3, 3.3 +5В Tol, 2.5-5.0, 5В - OSC IO High & Low 2.5-3.3 В
Компиляторы памяти		2.5 В 1- и 2-port SRAM и ROM 3.3 В 1- и 2-port SRAM и ROM

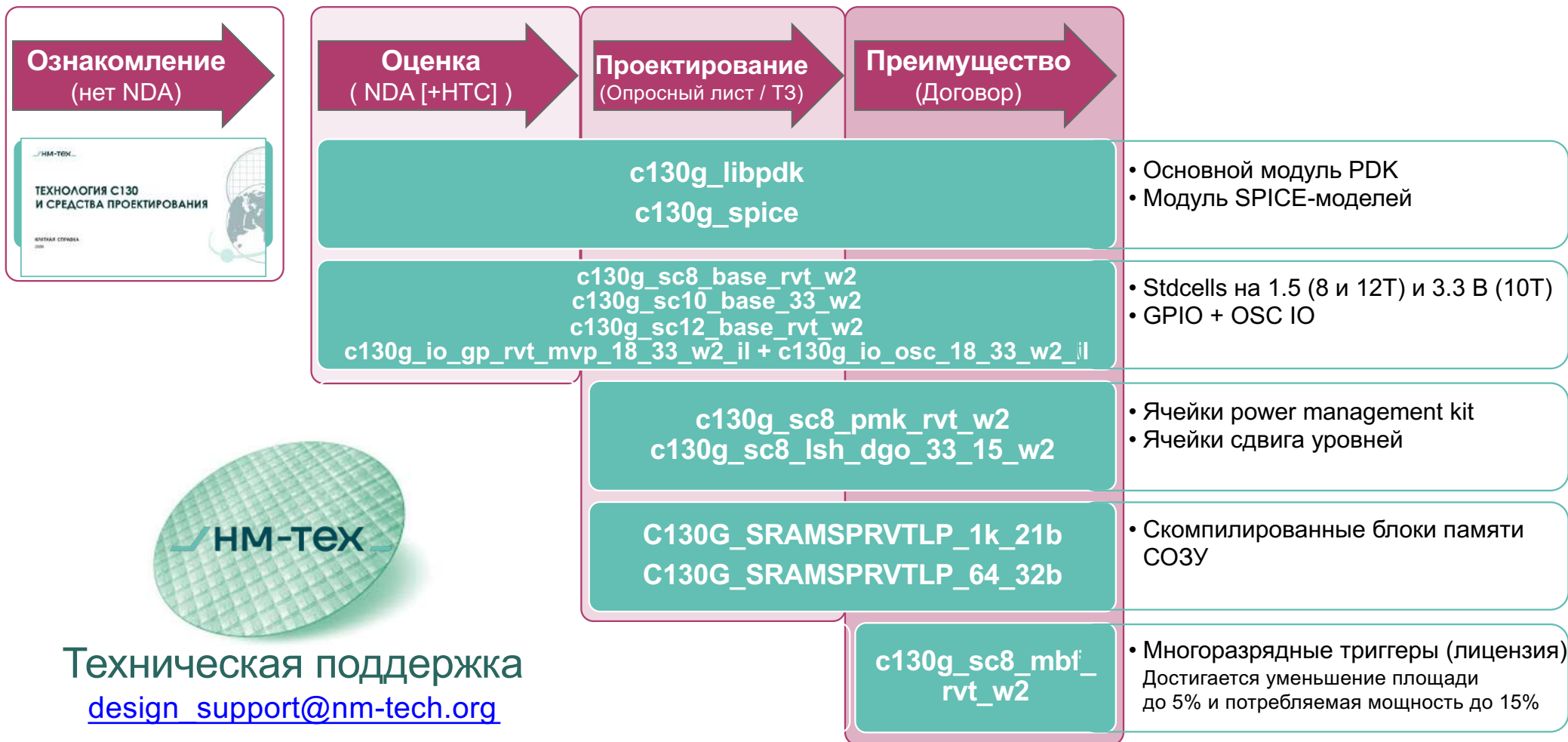
PDK 130 нм:	Прибор	Характеристики
Транзисторы		
P- и N-МОП		1.5 и 3.3 В
Substrate PNP		Beta = 1.29 (для $W_e=L_e=2$ мкм)
Вертикальный NPN		Beta = 3.40 (для $W_e=L_e=2$ мкм)
Диоды		
N+ / P-подложка		BV = 11.0 В
P+ / N-карман		BV = 11.0 В
Резисторы		
Поликремниевый P+ без силицида		$R_s = 290$ Ом / □
Поликремниевый P+ без силицида		$R_s= 1K$ Ом / □ (высокоомный)
Конденсаторы		
MOM в разводочных металлах		C_a (max) = 1.1 фФ/мкм ²
Варактор N-МОП 3.3 В в N-кармане		$C_a = 4.7$ фФ/мкм ² при 3.3В
MIM конденсатор		$C_a = 2$ фФ/мкм ²
Базовые IP		
Библиотеки стандартных ячеек		1.5В (8Т), 3.3В (10Т) и 1.5В (12Т) - Преобразователи уровней - Многоразрядные триггеры - Синхронизирующие ячейки
Библиотеки ячеек ввода-вывода		- GPIO 1.8 - 3.3 В - GPIO 1.8 - 3.3 В + 5В Tol staggered - OSC IO High & Low Freq 3.3 В - RGMII 1 Гбит/с 1.8 / 2.5 / 3.3В
Компиляторы памяти		1.5 В 1-port SRAM 1.5 В ROM

Комплектность PDK на разных стадиях сотрудничества



Техническая поддержка
design_support@nm-tech.org

Сценарий предоставления комплекта PDK



Техническая поддержка
design_support@nm-tech.org

Сервис безопасного обмена данными

Что получает Заказчик?

1. Компоненты комплекта PDK и СФ-блоки
2. Файлы просмотра фотошаблонов
3. Рабочие версии и скан-копии документов в рамках научно-технического сотрудничества (ТЗ, технические описания и т.п.)
4. Данные в рамках заключенных договоров
5. Данные, относящиеся к технической поддержке заказчика

Что передается в НМ-Тех?

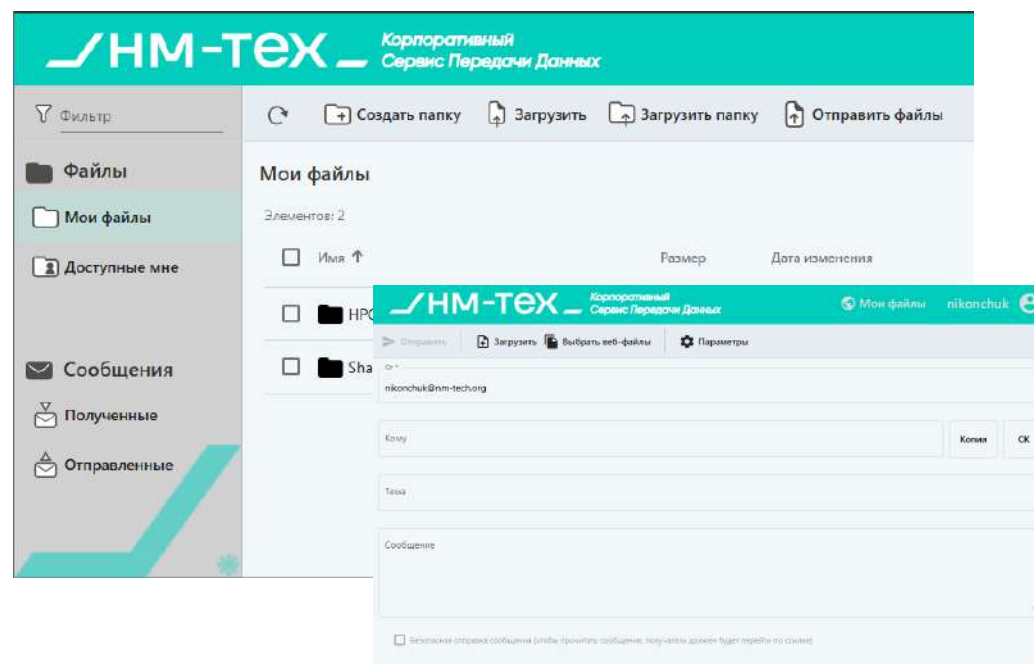
1. Топологии кристаллов и сопроводительную документацию
2. ТЗ, соглашения, необходимые данные

Как начать пользоваться?

- ✓ Заключить NDA (опционально соглашение НТС)
- ✓ Оформить запрос (официальное письмо) на доступ к системе corpcloud.nm-tech.org с указанием IP адреса, ФИО, email и телефона 1-3 сотрудников

ВАЖНО:

- Доступ к системе только с «белого» IP адреса и только для зарегистрированных пользователей
- Только указанные адресаты могут получить файлы
- Необходимо подтверждать доступ
- История взаимодействия хранится на сервере



Стандартные ячейки характеризованы для получения работоспособной топологии в кремнии

Модель расчета временных характеристик (.lib файл) D-триггера в PDK зарубежного вендора

```

timing() {
  related_pin : "C";
  timing_type : setup_falling;
  rise_constraint(setup_template_3x3) {
    index_1 ("0.05, 1.4, 4.5");
    index_2 ("0.05, 1.4, 3.3");
    values {
      "0.007812, -0.226563, -0.402344", \
      "0.144531, -0.128906, -0.532031", \
      "0.210937, -0.074219, -0.296875");
    }
  }
  fall_constraint(setup_template_3x3) {
    index_1 ("0.05, 1.4, 4.5");
    index_2 ("0.05, 1.4, 3.3");
    values {
      "0.183594, 0.121094, 0.148437", \
      "0.378906, 0.242187, 0.167969", \
      "0.695313, 0.535156, 0.429687");
    }
  }
}

timing() {
  related_pin : "Q";
  timing_type : hold_falling;
  rise_constraint(hold_template_3x3) {
    index_1 ("0.05, 1.1, 4.5");
    index_2 ("0.05, 1.4, 3.3");
    values {
      "0.019531, 0.250000, 0.429688", \
      "0.109375, 0.156250, 0.355469", \
      "-0.167969, 0.109375, 0.324219");
    }
  }
  fall_constraint(hold_template_3x3) {
    index_1 ("0.05, 1.4, 4.5");
    index_2 ("0.05, 1.4, 3.3");
    values {
      "-0.175781, -0.054688, 0.042969", \
      "-0.371094, -0.222656, -0.105469", \
      "-0.683594, -0.527344, -0.410156");
    }
  }
}

```

Каждая пара значений setup / hold дает в сумме отрицательное время!

Обычно поставщики библиотек стандартных элементов рассчитывают времена предустановки (setup) и удержания (hold), как независимые величины

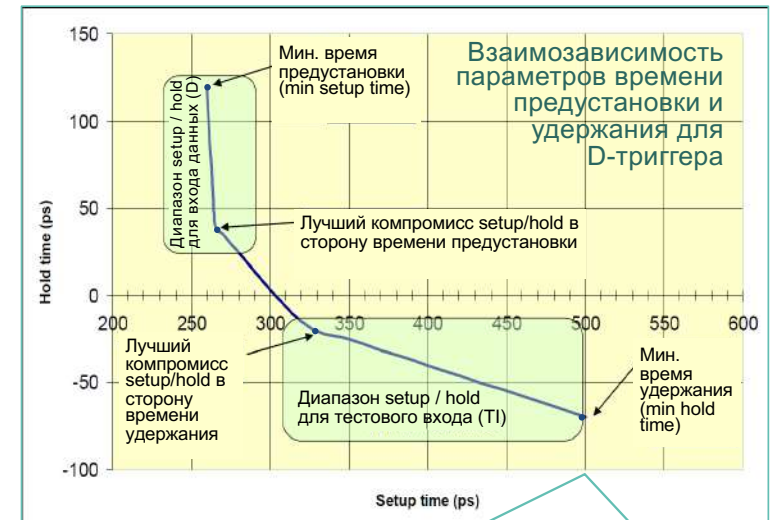
Проблема: результаты временного анализа показывают нефизичное поведение схемы (отрицательное «окно» setup+hold)

Одновременный учет времени предустановки и времени удержания может быть критичен для схем

Сложность решения:

Минимизация времени предустановки приводит к росту времени удержания, которое необходимо для надежной записи данных.

И наоборот, при минимизации времени удержания время предустановки будет увеличиваться.



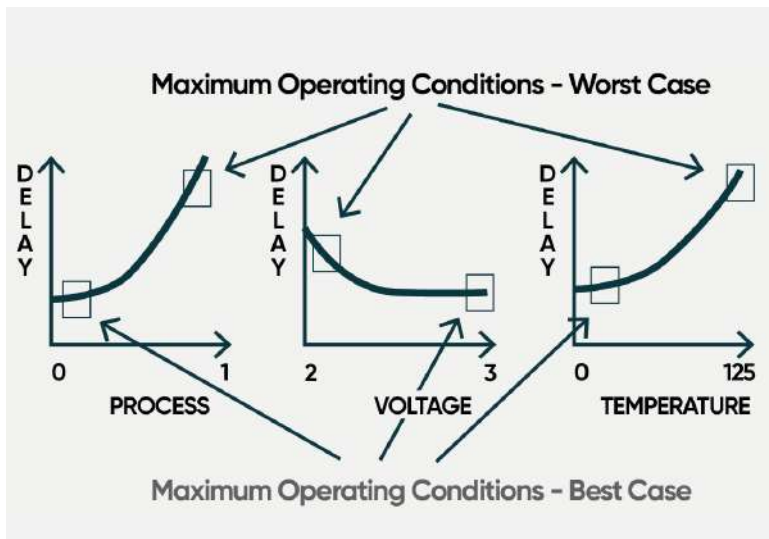
Библиотеки логических элементов НМ-Тех характеризованы с учетом физической зависимости setup / hold

Для входа данных (D): минимальный setup (критичен для времени записи)

Для тестового входа (TI): минимальный hold (критичен для времени предустановки)

Преимущество для Заказчика: надежный способ разработки работоспособного цифрового блока / микросхемы в кремнии

Генерация дополнительных углов PVT по запросу



HM-Тех поставляет дополнительные PVT для цифрового маршрута проектирования:

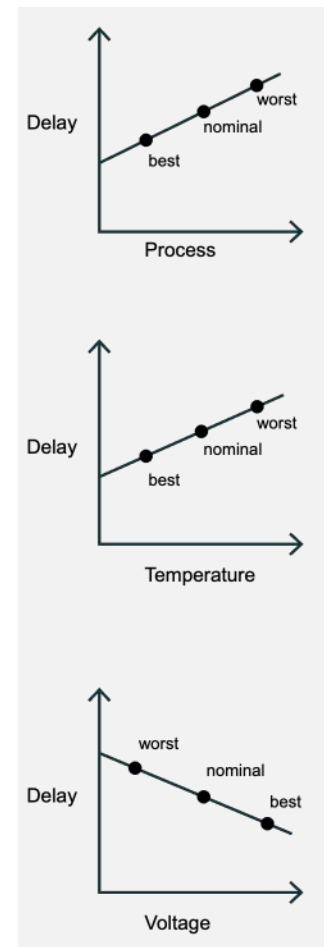
- Модели, описывающие временные, мощностные характеристики, устойчивость к помехам, падению напряжения в форматах: Liberty NLDM, CCS[N,P], Celtic CDB, Voltus PGV
- Для логических и I/O ячеек, блоков памяти и СФ-блоков

Для проектирования микросхем со специальными режимами работы стандартная поставка PDK может быть оснащена дополнительными углами PVT (Process-Voltage-Temperature)

- Микросхемы с нестандартными режимами эксплуатации по напряжению питания или температуре (например, низко-потребляющие или высоко-скоростные схемы)
- Учет дополнительных запасов в работе для повышения надежности и/или выхода годных изделий
- Исследование различных гипотез или стратегий проектирования

Как получить?

- Сделать запрос на экстра-PVT через design_support@nm-tech.org
- Указать:
 - комбинации { процессная опция, Vdd и Temp }
 - список библиотек, блоков памяти, СФ-блоков с версиями
 - доп. требования, например запасы по времени записи (setup) и удержания (hold)



In-design верификация топологии на основе техфайла PDK

Вариант незавершенной топологии для выбора оптимальной структуры со сложной металлизацией

- Проведена оценка паразитных емкостей и резистивностей (RC-extraction) на критических цепях блока

Extraction Corner: rctyp

Electrical Dataset: All

Net	Total C	Coupled C	Ground C	R Count	EM Viol	J/Jmax	Max Drop
IN	0.3287f	0.2135f	0.1152f	5	0	4.347u	198.1n
OUT	0.1689f	0.0588f	0.1101f	2	1	4.763	82.52u
VDD	4.275f	0.1707f	4.104f	8	2	4.763	5.492m
VSS	4.269f	0.4959f	3.773f	9	0	38.91m	44.21u
net1	10.08f	0.5951f	9.487f	60	0	38.78m	2.534u

C R Compare EM IR Drop

Worst-case

- Проведена проверка на эффект электромиграции металлических шин (EM-analysis)
 - Предельная величина тока 200 мА задана вручную
 - (возможна настройка in-design верификации из результатов SPICE симуляции схемы)
 - Нарушения по плотности тока (узкие шины) подсвечены красным цветом

FAD Browser

Extraction Corner: typ

Electrical Dataset: CUSTOM

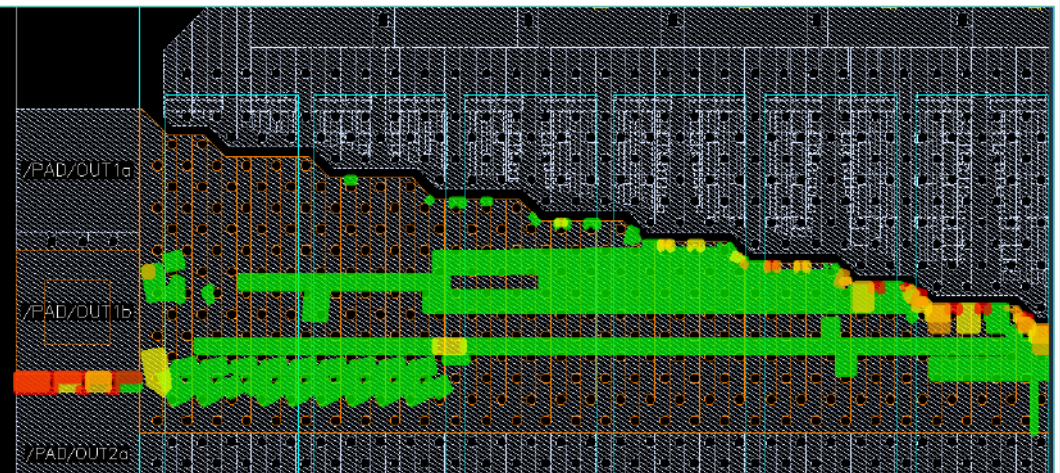
Net	Ground C	R Count	EM Viol	J/Jmax	Max Drop
OUT1a	8.192f	28			
OUT1b	6122f	3091	68	4.598	52.59m
OUT2a	8.192f	28	0	0	0
OUT2b	8.192f	28			
OUT3a	9.393f	28			
OUT3b	12.33f	28			
OUT4a	14.390f	7300	0	0	0
OUT4b	0	1			
FGND...	13.17f	28			

C R Compare EM IR Drop

Worst-case

Terminal Electrical Values (OUT1b)

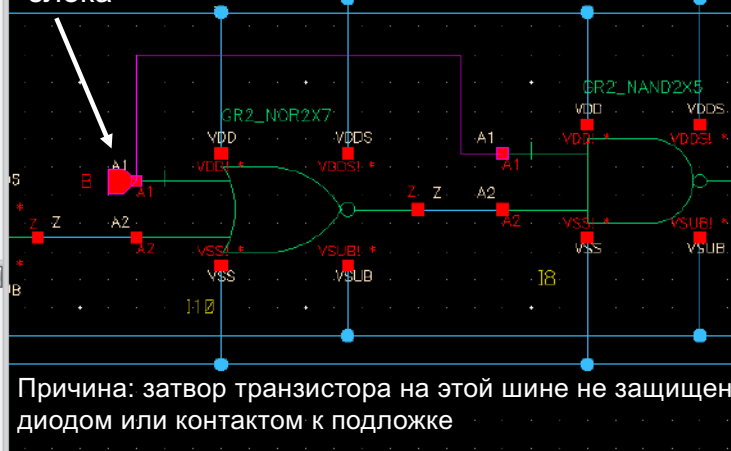
Term	Static Avg	DC Tip Current
OUT1b	CUSTOM	CUSTOM
PAD_OUT2-PAD	0A	-200mA
I2065.OUT1b	0A	0A
	0A	200mA



Верификация соединений элементов на уровне схемы и топологии

Превентивная проверка схемы

Предупреждение об Antenna ошибке для затвора транзистора на входном терминале блока



Results

Filter: Show All

Cell / Check / Result #	Results	Placemer
Cell Id1_test1	2	2
Check ANT_WARN	2	2
Result # 1	1	1
Result # 2	1	1

Potential ANTENNA Warning. Gate not connected to a diffusion area.

Реализованные проверки и процедуры:

- Проверка схемы и топологии на соответствие выбранному техпроцессу
- Проверка «плавающих» терминалов приборов
- Проверка правильности подключения терминалов приборов
- ESD проверки
- Превентивные предупреждения об ошибках по Antenna-эффекту (для schematic)
- Вывод статистики по количеству используемых приборов в дизайне

Ошибка ESD в топологии: затвор транзистора соединен с контактной площадкой напрямую без наличия минимально сопротивления

Затвор, соединенный напрямую к контактной площадке

Comparison Results: PERC Results

Check / Cell	Results	Cell	Type	Value
Check ERC_PO.1	207	280	CHECK_RXTerm_TX_all_as...	X111
Check ANT_WARN	47	201	CHECK_RXTerm_TX_all_as...	X111
		202	CHECK_RXTerm_TX_all_as...	X111
		283	CHECK_RXTerm_TX_all_as...	X111
		284	CHECK_RXTerm_TX_all_as...	X111
		205	CHECK_RXTerm_TX_all_as...	X111
		286	CHECK_RXTerm_TX_all_as...	X111

PERC LOAD PERC RUN INIT perc_init
Rulecheck: ERC_PO.1
2115/215/214/2535 435 241 0100 f min=500 1

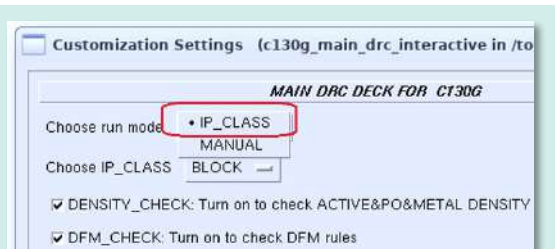
Gate connected to Top Ports with a resistance less than 500 Ohm (except decoupe)

Layout Netlist: CHECK_RXTerm_TX_all_assembly.sp

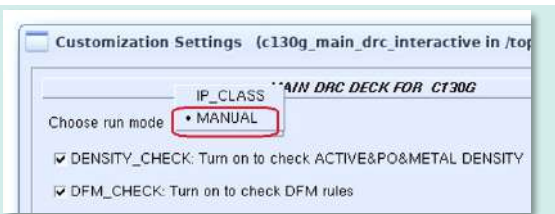
CHECK_RXTerm_TX_all_assembly / X115 (ICV_15) / X115 (ICV_17)

X1181 (vds1531_pod_at_ynang_1)
X1182 (vds1531_on_en_logic_1)
X1183 (vds1531_on_nor_nkss4)
X112 (ICV_120)
X113 (ICV_119)
X114 (ICV_118)
X115 (ICV_15)
X116 (ICV_16)
X117 (ICV_17)
X118 (ICV_18)
X119 (ICV_19)

Верификация DRC/LVS через глобальную настройку IP_CLASS



**Выбор класса CHIP или BLOCK
гарантирует активацию и запуск
sign-off проверок!**



IP_CLASS	Переключатель режимов работы DRC/LVS/ERC decks под конкретный тип разрабатываемого IP
CHIP	Режим sign-off кристалла. ОБЯЗАТЕЛЕН для tape-out. Активированы все обязательные проверки, включая Density checks.
BLOCK	Режим sign-off блока. ОБЯЗАТЕЛЕН для завершения разработки блока. Исключения из обязательных проверок: правила для I/O pads, для Logo кристалла и chip-level density checks. Дополнительные проверки: правила успешной интеграции блока в кристалл (например, antenna prevention checks или более строгие density checks)
ANALOG	НЕОБЯЗАТЕЛЕН. Полезен для верификации аналоговой топологии, не имеющей LEF/DEF представлений, или на промежуточной стадии проектирования блока. Исключения – см. BLOCK Дополнительные проверки: правила для matched и симметричных структур, DFM recommended rules.
CUSTOM	НЕОБЯЗАТЕЛЕН. Может содержать специальные правила заказных блоков, представленных LEF и GDS. Например, заказные блоки памяти.
STDCELL MEMORY IOCELL	Общие топологические правила и специальные правила для разработчиков базовых IP
MANUAL	Режим работы DRC/LVS/ERC decks в комбинации проверок, заказанных пользователем
	Полезен на промежуточном этапе проектирования для отладки отдельных категорий создаваемых объектов. Пример: включение только правил FEOL на этапе размещения приборов или только BEOL на этапе разводки.

Портирование топологий IP

Автоматизированное портирование (технологическая миграция) топологий компонентов ИС (стандартных ячеек, аналоговых IP-блоков, памяти и т.д.) из одного технологического базиса в другой

Ключевые характеристики:

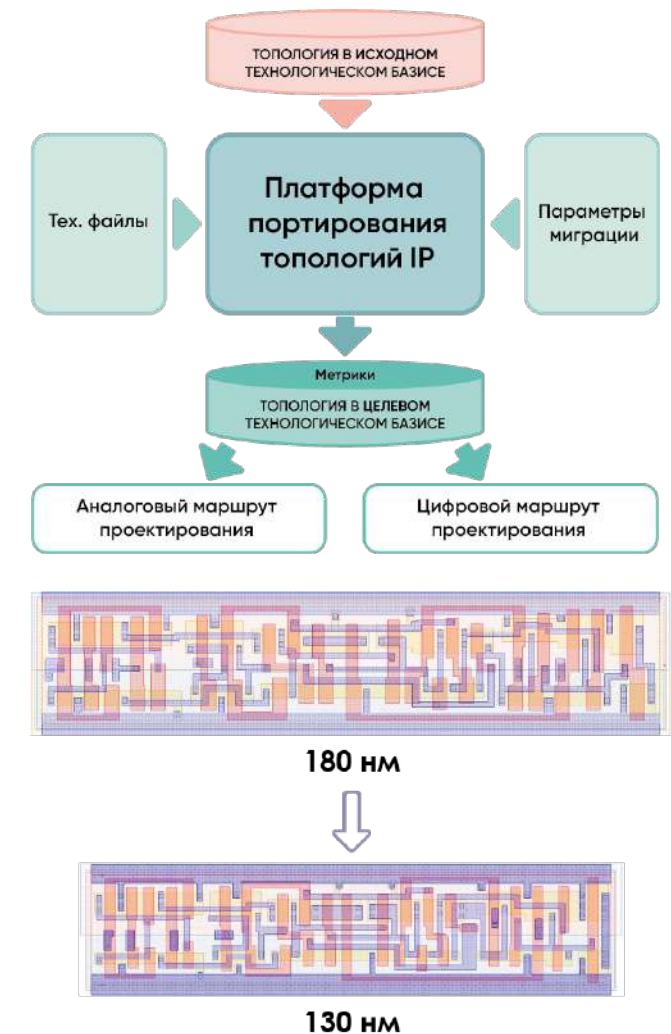
- Ускорение разработки топологии в новом технологическом базисе в 3-10 раз
- Поддержка зарубежных и отечественных технологий уровня 350 – 90 нм
- Поддержка зарубежных (CentOS, Oracle Linux) и отечественных (Astra Linux) ОС

Миграция топологии стандартных ячеек:

- Миграция топологии ячеек между различными архитектурами (LP/HD, HP/HS, ...) и технологическими процессами, включая поддержку многоярядной архитектуры
- Изменение параметров транзисторов на основе целевой схемы (включая добавление/удаление “пальцев” транзисторов)
- Улучшение топологии: сжатие (уменьшение площади), увеличение количества точек подключения к внешним выводам, выполнение рекомендованных правил (DFM) без увеличения площади

Поддерживаемые типы ячеек:

- Комбинационные и последовательностные элементы (простые и сложные), элементы для поддержки методологии проектирования устройств с низким энергопотреблением (ICG, SRPG, и т.д.)



Комплекты средств проектирования HM-TECH, как сервис

Инструменты DFM



Валидированные
«связки» библиотек

Инструменты дизайна
High Performance



Модулярность PDK
и удобство настроек

Маршрут
проектирования
САПР

Библиотека
PDK

Библиотеки
интерфейсных
элементов I/O

Аналоговый / смешанный
маршрут проектирования



Дополнительные
проверки дизайна

Компилятор
масочного
ПЗУ

Компиляторы
СОЗУ
1/2-port

Логические
библиотеки
stdcells

СФ-блоки

Цифровой маршрут
проектирования



Характеризовано
-60÷125°C, ±10%Vdd

Инструменты
дизайна Lower Power



Кремниевые
модели

Наборы ячеек
под заказчика





Спасибо за внимание

 +7 (499) 995-00-70

 info@nm-tech.org

